

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-255026

(43)Date of publication of application : 03.10.1995

(51)Int.Cl.

H04N 5/66  
H04N 7/015

(21)Application number : 06-334681

(71)Applicant : TOSHIBA CORP  
TOSHIBA AVE CORP

(22)Date of filing : 20.12.1994

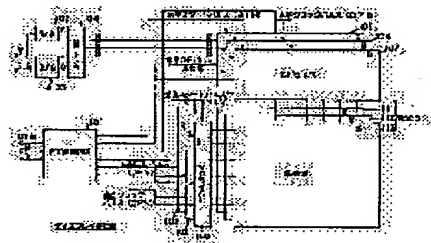
(72)Inventor : KOKADO NAOYUKI  
KAWAI KIYOYUKI  
ISHII SATOYUKI  
YASUKI SEIJIROU  
SAKAMOTO NORIYA  
OGAWA YOSHIHIKO  
HIROTA ATSUSHI  
NOGUCHI KOICHI  
SATO KOICHI

## (54) TELEVISION SIGNAL DISPLAY DEVICE

### (57)Abstract:

PURPOSE: To freely adjust an image display position on a liquid crystal display part by an inexpensive means.

CONSTITUTION: Liquid crystal cells 111-113 are driven by X drivers 105-107 and Y drivers 108-110 and a video signal is supplied to the X drivers 105-107, line by line. A clock for each driver is generated by a synchronous control circuit 101. The clock is switched in frequency in respective periods so as to set a display period (area) and a nondisplay period (area), the switching timing can optionally be set, and an image display area on the display can easily be changed.



## LEGAL STATUS

[Date of request for examination] 04.03.1997

[Date of sending the examiner's decision of rejection] 08.02.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(11)特許出願公開番号

特開平7-255026

(43)公開日 平成7年(1995)10月3日

(51) Int.Cl.<sup>6</sup>

H O 4 N 5/66  
7/015

識別記号  
102 B

庁内整理番号

FI

### 技術表示箇所

H04N 7/00

A

審査請求 未請求 請求項の数11 FD (全 23 頁)

(21)出願番号 特願平6-334681  
(62)分割の表示 特願平2-340625の分割  
(22)出願日 平成2年(1990)11月30日

(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(71)出願人 000221029  
東芝エー・ブイ・イー株式会社  
東京都港区新橋3丁目3番9号

(72)発明者 古角 尚之  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 川井 清幸  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所家電技術研究所内

(74)代理人 弁理士 鈴江 武彦

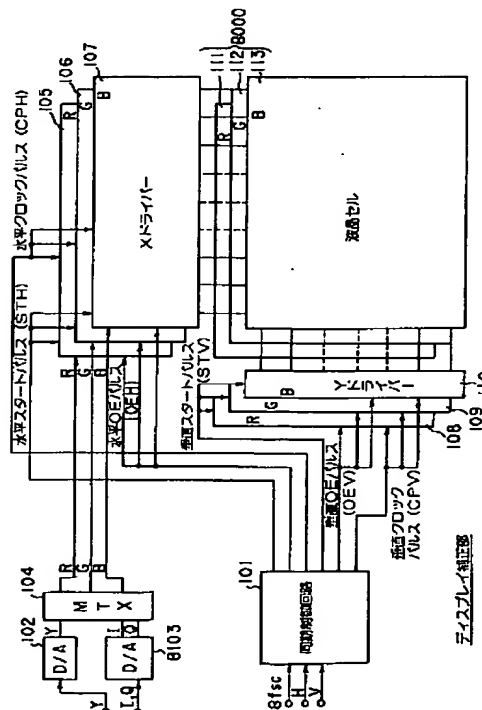
**最終頁に続く**

(54) 【発明の名称】      テレビジョン信号表示装置

(57) 【要約】

【目的】液晶表示部に対して画像表示位置を安価な手段により自由に位置調整できるようにする。

【構成】液晶セル１１１～１１３は、Ｘドライバー（１０５～１０７）、Ｙドライバー（１０８～１１０）により駆動され、映像信号はライン単位でＸドライバー（１０５～１０７）に与えられる。ここで各ドライバーに対するクロックは同期制御回路１０１で作成される。クロックは、表示期間（領域）と非表示期間（領域）とを設定するために各期間で周波数が切り換えられるようになっており、この切り換えタイミングは任意に設定でき、ディスプレイ上の画像表示領域を容易に変更できるようになっている。



**【特許請求の範囲】**

【請求項1】 液晶表示素子をマトリックス状に配列した液晶セルと、

入力映像信号を水平方向へサンプリングすることにより、前記液晶セルの素子を水平配列方向へ駆動する水平ドライバーと、

前記入力映像信号を水平ライン単位でサンプリングするように、前記液晶セルの素子を行単位で指定して垂直方向へドライブする垂直ドライバーと、

前記水平ドライバーの水平駆動スタートタイミング信号と、素子単位での前記サンプリング速度を得るための水平駆動クロックと、サンプリングした信号を前記素子に供給する水平期間を定める水平イネーブルタイミング信号を得る手段と、

前記垂直ドライバーの垂直駆動スタートタイミング信号と、前記行単位で指定する速度を得るための垂直駆動クロックと、前記行単位で指定する垂直期間を定める垂直イネーブルタイミング信号を得る手段と、

前記水平期間を定めた水平イネーブルタイミング信号が、指定期間以外を示すときは前記水平駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、前記垂直期間を定めた垂直イネーブルタイミング信号が、指定期間以外を示すときは前記垂直駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、前記水平イネーブルタイミング信号及び垂直イネーブルタイミング信号の指定期間を任意に変更可能とする手段を備えたことを特徴とするテレビジョン信号表示装置。

【請求項2】 前記液晶セルは、プロジェクトの光源とレンズ系との間に配置され、前記水平イネーブルタイミング信号と垂直イネーブルタイミング信号の指定期間は、前記液晶セルの映像が投射されたスクリーン上の画像表示位置補正のために調整されることを特徴とする請求項第1項記載のテレビジョン信号表示装置。

【請求項3】 前記水平駆動スタートタイミング信号は、入力映像信号の水平同期信号に位相同期する位相同期ループ回路と、この位相同期ループ回路の出力パルスを計数するカウンタと、このカウンタの出力と固定値とを比較するコンパレータとから作成され、前記水平イネーブルタイミング信号は、前記カウンタとこのカウンタの出力と複数の固定値とを比較してゲートパルスを得、前記水平イネーブルタイミング信号として出力するゲート回路により作成されていることを特徴とする請求項1記載のテレビジョン信号表示装置。

【請求項4】 前記水平駆動クロックは、前記位相同期ループ回路の出力パルスと、外部より与えられる高速パルスとが供給され、これを前記水平イネーブルタイミング信号で選択切換えるセレクトから出力

されていることを特徴とする請求項1記載のテレビジョン信号表示装置。

【請求項5】 前記垂直駆動スタートタイミング信号は、入力映像信号の水平同期信号に位相同期する位相同期ループ回路と、

この位相同期ループ回路の出力パルスを計数する第1のカウンタと、

この第1のカウンタの出力と固定値とを比較し水平周期で一致パルスを得る第1のコンパレータと、

この第1のコンパレータ出力で前記入力映像信号の垂直同期信号を同期化して取出す微分回路と、

この微分回路の出力でリセットされ、前記コンパレータ出力を計数する第2のカウンタと、

この第2のカウンタの出力と固定値とを比較して一致したときに前記スタートタイミングパルスを得る第2のコンパレータとから作成され、

前記垂直イネーブルタイミング信号は、前記第2のカウンタの出力と複数の固定値とを比較してゲートパルスを得、前記垂直イネーブルタイミング信号として出力するゲート回路により作成されていることを特徴とする請求項1記載のテレビジョン信号表示装置。

【請求項6】 前記垂直駆動クロックは、前記第1のカウンタ出力と、前記第1のコンパレータ出力とが入力され、これを前記垂直イネーブルタイミング信号で選択切換えるセレクトから出力されていることを特徴とする請求項5記載のテレビジョン信号表示装置。

【請求項7】 液晶表示素子をマトリックス状に配列した液晶セルと、

入力映像信号を水平方向へサンプリングすることにより、前記液晶セルの素子を水平配列方向へ駆動する水平ドライバーと、

前記入力映像信号を水平ライン単位でサンプリングするように、前記液晶セルの素子を行単位で指定して垂直方向へドライブする垂直ドライバーと、

前記水平ドライバーの水平駆動スタートタイミング信号と、素子単位での前記サンプリング速度を得るための水平駆動クロックを得て前記水平ドライバーに供給する手段と、

前記垂直ドライバーの垂直駆動スタートタイミング信号と、前記行単位で指定する速度を得るための垂直駆動クロックを得て前記垂直ドライバーに供給する手段と、

前記水平ドライバーに入力映像信号を供給する水平期間を指定する水平イネーブルタイミング信号と、垂直期間を指定する垂直イネーブルタイミング信号を得る手段と、

前記水平ドライバーに供給される前記入力映像信号の経路に設けられ、前記水平イネーブルタイミング信号と、垂直イネーブルタイミング信号が指定した期間のみ入力映像信号を前記水平ドライバーに供給し、これ以外の期

間は黒レベルの信号を供給する画像制御手段と、  
前記水平イネーブルタイミング信号が、指定期間以外を示すときは前記水平駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、  
前記垂直イネーブルタイミング信号が、指定期間以外を示すときは前記垂直駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、  
前記水平イネーブルタイミング信号及び垂直イネーブルタイミング信号の指定期間を任意に変更可能とする手段を備えたことを特徴とするテレビジョン信号表示装置。  
【請求項8】液晶表示素子をマトリックス状に配列した液晶セルと、  
入力映像信号を水平方向へサンプリングすることにより、前記液晶セルの素子を水平配列方向へ駆動する水平ドライバーと、  
前記入力映像信号を水平ライン単位でサンプリングするように、前記液晶セルの素子を行単位で指定して垂直方向へドライブする垂直ドライバーと、  
前記水平ドライバーの水平駆動スタートタイミング信号と、素子単位での前記サンプリング速度を得るための水平駆動クロックを得て前記水平ドライバーに供給する手段と、  
前記垂直ドライバーの垂直駆動スタートタイミング信号と、前記行単位で指定する速度を得るための垂直駆動クロックと、前記行単位で指定する垂直期間を定める垂直イネーブルタイミング信号を得て前記垂直ドライバーに供給する手段と、  
前記水平ドライバーに入力映像信号を供給する水平期間を指定する水平イネーブルタイミング信号を得る手段と、  
前記水平ドライバーに供給される前記入力映像信号の経路に設けられ、前記水平イネーブルタイミング信号が指定した期間のみ入力映像信号を前記水平ドライバーに供給し、これ以外の期間は黒レベルの信号を供給する画像制御手段と、  
前記水平イネーブルタイミング信号が、指定期間以外を示すときは前記水平駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、  
前記垂直イネーブルタイミング信号が、指定期間以外を示すときは前記垂直駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、  
前記低速クロックの周波数を任意に変更可能であり前記液晶セルの画像圧縮伸張を可能とする手段とを備えたことを特徴とするテレビジョン信号表示装置。  
【請求項9】前記入力映像信号は、  
書込み方向と読出し方向を水平から垂直方向に切換え可

能なフレームメモリを介して導入されることを特徴とする請求項第8項記載のテレビジョン信号表示装置。

【請求項10】液晶表示素子をマトリックス状に配列した液晶セルと、  
入力映像信号を水平方向へサンプリングすることにより、前記液晶セルの素子を水平配列方向へ駆動する水平ドライバーと、  
前記入力映像信号を水平ライン単位でサンプリングするように、前記液晶セルの素子を行単位で指定して垂直方向へドライブする垂直ドライバーと、  
前記水平ドライバーに対向しており前記液晶セルから出力される信号をラッチする水平レシーバーと、  
前記水平ドライバーの水平駆動スタートタイミング信号と、素子単位での前記サンプリング速度を得るための水平駆動クロックを得て前記水平ドライバーに供給する手段と、  
前記垂直ドライバーの垂直駆動スタートタイミング信号と、前記行単位で指定する速度を得るための垂直駆動クロックと得て前記垂直ドライバーに供給する手段と、  
前記入力映像信号を前記水平ドライバーに供給する経路に設けられ、前記水平レシーバーからの出力信号と、前記入力映像信号のレベルを比較し、入力映像信号レベルの差が所定値以上のときは、前記液晶セルの応答を速めるためにその差分の電圧を前記入力信号に加算または減算して前記水平ドライバーに供給する手段とを具備したことを特徴とするテレビジョン信号表示装置。

【請求項11】液晶表示素子をマトリックス状に配列した複数の液晶セルと、  
入力映像信号を水平方向へサンプリングすることにより、前記それぞれの液晶セルの素子を水平配列方向へ駆動する複数の水平ドライバーと、  
前記入力映像信号を水平ライン単位でサンプリングするように、前記複数の液晶セルの素子を行単位で指定して垂直方向へドライブする複数の垂直ドライバーと、  
前記複数の水平ドライバーの各水平駆動スタートタイミング信号を順次得るとともに、素子単位での前記サンプリング速度を得るための各液晶セルに対する水平駆動クロックを得る手段と、  
前記複数の垂直ドライバーの各垂直駆動スタートタイミング信号を順次得るとともに、前記行単位で指定する速度を得るための各ドライバーに対する垂直駆動クロックとを得る手段と、  
前記入力映像信号を前記水平ドライバーに供給する経路に設けられ、前記入力映像信号の水平期間を分割して分割順に別々の水平ドライバーに供給する手段とを具備したことを特徴とするテレビジョン信号表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、現行方式（例えばNTSC方式）と互換性のある高精細位テレビジョン信号

を処理するテレビジョン信号処理装置に関わり、特にその表示装置に関する。

【0002】

【従来の技術】現行方式と互換性のある高精細テレビジョン信号を伝送し受信するシステムが開発されている。この伝送受信システムで扱われる信号として、サイドパネル方式とレータボックス方式とがある。

【0003】サイドパネル方式は、アスペクト比16:9の高精細テレビジョン信号をセンター部分だけ4:3のアスペクト比でカットし現行方式の信号の規格に合わせメイン信号とし、左右のサイド部分の信号はメイン信号に多重することにより伝送している。従って、現行方式のテレビジョン受像機で受信された場合は、画面一杯に4:3のメイン信号が表示される。また高精細テレビジョン信号デコーダをもつ受像機で受信された場合は、サイド部分の信号が復調され、メイン信号の左右に繋げられて16:9のワイドアスペクト比の画像信号が再現される。

【0004】一方、レータボックス方式は、16:9のアスペクト比のテレビジョン信号を上下に圧縮して、4:3のアスペクト比の画面に納まるように処理してメイン信号として伝送している。また、圧縮に伴って生じた余分な高解像度用の信号は、例えばメイン信号の上下に生じた上下マスク部に多重されて伝送される。従ってこの方式のテレビジョン信号を現行方式の受像機で受信し再現した場合、画面の上下にマスク（黒）部（無画部）が生じ、画面は横長の映像画面となる。また高精細テレビジョン信号デコーダを持つ受像機で受信した場合は、上下マスク部の高解像度用の信号が再生され、かつメイン信号が垂直方向へ伸張され、これに再生された高解像度用の信号が加算され、16:9のワイドアスペクト比の画像信号が得られる。

【0005】

【発明が解決しようとする課題】上記したようなレータボックス方式やサイドパネル方式の映像信号を受信する受信装置としては、現行のNTSC方式の映像信号も受信でき表示できることが望まれる。また、VTR等の機器からの各種の方式の映像信号を処理して表示することも望まれる。このようなシステムの場合、当然表示装置の画面としては、ワイド画面として制作されるのであるが、現行方式で送られてくる映像信号の画像をそのまま、あるいは拡大して表示した場合、ワイド画面上には余裕あるいは無表示部が生じる。このような場合は、画面を有効に活用しようとする要求があり、画像表示位置を自在に可変できるシステムが希望される。特に、液晶ディスプレイの場合には、従来は光学系の機械的な手段を調節することにより画像表示位置を調節しているが、このような手段であると極めて高価になるとともに、調節が繁雑となる。

【0006】そこでこの発明は、液晶表示部に対して画

像表示位置を安価な手段により自由に位置調整できるようにしたテレビジョン信号表示装置を提供することを目的とする。さらにまたこの発明は液晶表示部の応答速度を簡単な手段により改善したテレビジョン信号表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は、映像信号を液晶ディスプレイに表示する場合、簡単な構成で画像位置調整ができるようにクロック制御部を備えるものである。またこの発明は、映像信号を液晶ディスプレイに表示する場合、液晶ディスプレイをフレームメモリと見なして入力信号とディスプレイの出力との演算処理を行い新たな入力信号を作成し、応答速度を速める機能を備えるものである。

【0008】具体的には、液晶表示素子をマトリクス状に配列した液晶セルと、入力映像信号を水平方向へサンプリングすることにより、前記液晶セルの素子を水平配列方向へ駆動する水平ドライバーと、前記入力映像信号を水平ライン単位でサンプリングするように、前記液晶セルの素子を行単位で指定して垂直方向へドライブする垂直ドライバーと、前記水平ドライバーの水平駆動スタートタイミング信号と、素子単位での前記サンプリング速度を得るための水平駆動クロックと、サンプリングした信号を前記素子に供給する水平期間を定める水平イネーブルタイミング信号を得る手段と、前記垂直ドライバーの垂直駆動スタートタイミング信号と、前記行単位で指定する速度を得るための垂直駆動クロックと、前行列単位で指定する垂直期間を定める垂直イネーブルタイミング信号を得る手段と、前記水平期間を定めた水平イネーブルタイミング信号が、指定期間以外を示すときは前記水平駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、前記垂直期間を定めた垂直イネーブルタイミング信号が、指定期間以外を示すときは前記垂直駆動クロックの周波数を高めた高速クロックとし、指定期間内を示すときは周波数を低めた低速クロックに切り替える手段と、前記水平イネーブルタイミング信号及び垂直イネーブルタイミング信号の指定期間を任意に変更可能とする手段を備えたことを特徴とする。

【0009】またこの発明は、液晶表示素子をマトリクス状に配列した液晶セルと、入力映像信号を水平方向へサンプリングすることにより、前記液晶セルの素子を水平配列方向へ駆動する水平ドライバーと、前記入力映像信号を水平ライン単位でサンプリングするように、前記液晶セルの素子を行単位で指定して垂直方向へドライブする垂直ドライバーと、前記水平ドライバーに対向しており前記液晶セルから出力される信号をラッチする水平レシーバーと、前記水平ドライバーの水平駆動スタートタイミング信号と、素子単位での前記サンプリング速度を得るための水平駆動クロックを得て前記水平ドラ

バーに供給する手段と、前記垂直ドライバーの垂直駆動スタートタイミング信号と、前記行単位で指定する速度を得るための垂直駆動クロックと得て前記垂直ドライバーに供給する手段と、前記入力映像信号を前記水平ドライバーに供給する経路に設けられ、前記水平レシーバーからの出力信号と、前記入力映像信号のレベルを比較し、入力映像信号レベルの差が所定値以上のときは、前記液晶セルの応答を速めるためにその差分の電圧を前記入力信号に加算または減算して前記水平ドライバーに供給する手段とを具備したことを特徴とする。

#### 【0010】

【作用】上記の手段により、液晶ディスプレイ画面の任意の位置に画像表示位置を移動させることができる。また入力信号とディスプレイの出力との演算処理を行い新たな入力信号を作成して、液晶ディスプレイに供給し応答速度を速めることができる。

#### 【0011】

【実施例】以下、この発明の実施例を図面を参照して説明する。

【0012】（画像表示位置補正システム（1））従来、液晶プロジェクター等の画像表示位置の補正は、投射レンズをメカニカルに動かすことにより光学的に行われていた。

【0013】この手法で補正を行えば、メカニカルに投射レンズを動かす必要があり、かなり複雑な機構が必要であった。さらに、この手法で補正を行うためにはレンズをかなり大きくしておく必要があり、コストアップにつながっていた。

【0014】そこでこの実施例では、液晶表示装置の特性を活用してそのドライブ方法を工夫することにより、画像表示位置を安価で簡単に得られるようにしたものである。

【0015】図1は、この実施例におけるディスプレイ8000が接続された映像デコーダ内のディスプレイ補正部を詳しく示すブロック図である。

【0016】映像信号は、2つの入力端子にそれぞれデジタルの輝度信号（Y信号）、色信号（I、Q信号）として入力され、デジタルの輝度信号は、デジタルアナログ変換器（以下D/A変換器と称す）102によってアナログ信号に変換される。色信号も同様にD/A変換器103によってアナログ信号に変換される。アナログ信号に変換された輝度信号、色信号はマトリックス回路（MTX）104に入力され、R、G、Bの信号に変換され、それぞれに対応するXドライバー（105～107）に送られる。

【0017】同期制御回路101は、システムクロック（8fsc）、入力映像信号に同期した水平同期信号H、垂直同期信号Vが入力され、ディスプレイ8000としての液晶セル（111～113）を駆動するXドライバー（105～107）及びYドライバー（108～

110）を制御するための水平スタートパルスSTH、水平クロックパルスCPH、水平アウトプットイネーブル信号OEH、垂直スタートパルスSTV、垂直クロックパルスCPV、垂直アウトプットイネーブル信号OEVを出力している。

【0018】図2は、同期制御回路101をさらに詳細に説明する図であり、以下、回路動作説明を行う。

【0019】まず、CPHを安定して出力するために、位相比較器500、低域通過フィルタ（LPF）501、電圧制御発振器（VCO）502、分周カウンタ503、コンパレータ504、固定値出力回路505によって、フェイズロックドループ（PLL）を形成している。

【0020】前記位相比較器500には、外部からの約 $32\mu\text{sec}$ 周期のH信号（図3（a）に示す）と、図3（b）、（e）に示すコンパレータ504からの1水平期間に1回の位相比較パルスが入力され、両者の位相が比較される。そして、H信号のダウンエッジよりも位相比較パルスの位相が遅れていれば、図3（c）に示すようにプラスの制御電圧が出力され、逆にH信号のダウンエッジよりも、図3（e）に示すようにコンパレータ504からの位相比較パルスの位相が進んでいれば、図3（f）に示すようにマイナスの制御電圧が出力される。

【0021】位相比較器500より得られる信号（図3（c）及び（f））は、LPF501に入力され、図3（d）及び（g）に示される信号となる。電圧制御発振器（以下VCOと記す）502では、LPF501からの制御電圧がプラス側の場合は出力パルス周波数を高め、制御電圧がマイナスの場合は出力パルス周波数を低くするように動作する。

【0022】分周カウンタ503は、VCO502からのパルスをクロックとしてアップカウント動作し、コンパレータ504にカウンタ出力を送出している。

【0023】コンパレータ504では、固定値出力回路505からの固定値と、分周カウンタ503からのカウンタ出力を比較し、その値が一致した場合に、図3（b）及び（e）に示す一致パルス（HIGH信号）を出力する。

【0024】一致パルスは分周カウンタ503のリセットパルスとして使用されると同時に、位相比較器500において図3（b）及び（e）に示されるように、位相比較パルスとして使用される。従って、一致パルスは1水平走査期間に1回出力されることになる。

【0025】固定値出力回路505の出力の値は、図1に示される液晶セル（111～113）の水平方向の個数より少ない値に設定されており、固定値出力回路505の値を変更することによって、VCO502から出力されるCPHの周波数が変化する。このシステムに示される固定値出力回路は、ユーザ制御部からその値を変更

可能である。

【0026】分周カウンタ503の出力は、さらにコンパレータ506及びゲート作成回路508にも供給されている。

【0027】コンパレータ506では、分周カウンタ503からのカウンタ値と固定値出力回路507より得られる値を比較し、図1に示すXドライバー(105~107)のSTHを出力している。

【0028】ゲート作成回路508では、分周カウンタ503から得られるカウンタ値と図2に示す固定値出力回路509より得られる(A)、(B)の値を比較し、図1に示すXドライバー(105~107)のOEHを出力している。

【0029】図4は、具体例な回路動作を説明するための、タイムチャートである。図4の(a)は、分周カウンタ503のリセット信号を示しており、このリセット信号は図1に示す映像信号Y、I、Q信号の水平ブランキング部に同期している。図4(b)は、分周カウンタ503で得られるカウンタ値と固定値出力回路509からの信号(A)を比較して得られる信号で、1水平走査期間に1回のみ出力される信号である。図4(c)は、分周カウンタ503で得られるカウンタ値と固定値出力回路509からの信号(B)を比較して得られる信号で、1水平走査期間に1回のみ出力される信号である。図4(d)は、同図(c)の信号をセット、同図(b)の信号をリセット信号とするRSフリップフロップ回路(図面なし)によって得られ、この信号が図2に示したOEHとなる。さらにこのOEHは、セクタ510にも供給される。このセクタ510は、図4(f)に示すようにOEHがLOWの期間はVCO502の出力を選択し、HIGHの期間は外部から与えられるVCO502の出力信号の周波数よりも高い信号を選択して導出し、CPHとして出力する。ただし、CPHのパルス数は、図1に示されている液晶セル(111~113)の水平方向の数と一致している。図4(e)は、分周カウンタ503より得られるカウンタ値と固定値出力回路507より得られる信号を比較して得られる信号で、1水平走査期間に1回のみ出力される信号で、この信号がSTHとなる。

【0030】以上のようにして得られるCPH、STH、OEHによって図1に示すXドライバー(105~107)の制御が行われる。

【0031】次に、垂直方向の画面制御信号作成について述べる。

【0032】図2に示す微分回路511では、図5(a)に示される外部からの垂直同期信号Vが与えられ、図3(b)、(e)に示されるようなコンパレータ504の出力によってVの信号の微分が行われ、図5(b)に示す1垂直走査期間に1水平走査期間のみHIGHとなる信号が得られる。カウンタ512では、コン

パレータ504の出力によりカウントアップが行われ、微分回路511からの信号によってリセットがかけられる。図5(c)の信号は、カウンタ512からのカウンタ値と固定値出力回路516からの信号(D)を比較した結果得られる信号で、1垂直走査期間に1回のみ出力される信号である。また図5(d)の信号は、カウンタ512からのカウンタ値と固定値出力回路516からの信号(E)を比較し得られる信号で、1垂直走査期間に1回のみ出力される信号である。図5(e)は、図5(d)の信号をセット、図5(c)の信号をリセット信号とするRSフリップフロップ回路(図面なし)によって得られ、この信号がOEVとなる。さらにOEVは、セクタ517に供給され、垂直クロックパルスCPVの制御に使用される。セクタ517は、図5(e)に示す信号がLOWの期間はコンパレータ504の出力をCPVとして出力し、図5(e)に示す信号がHIGHの場合には、分周カウンタ503の2ndMSBのようなコンパレータ504の出力よりも周波数の高い信号を出力する。ただし、1垂直走査期間に出力されるCPVのパルス数は、図1に示されている液晶セル(111~113)の垂直方向の数と一致している。図5(g)にCPVの信号形態を示す。図5(f)は、カウンタ512より得られるカウンタ値と固定値出力回路513より得られる信号をコンパレータ514で比較して得られる信号で、1垂直走査期間に1回のみ出力される信号で、この信号がSTVとなる。

【0033】以上のようにして得られるCPV、STV、OEVによって図1に示すYドライバー(108~110)の制御が行われる。

【0034】Xドライバー(105~107)、Yドライバー(108~110)の制御について、さらに具体的に図6を用いて説明する。

【0035】図6(a)に示す回路は、図1に示されているR、G、Bのパネルのうち、R信号用の液晶セルについて示したもので、G信号、B信号についても同等の処理を有しているのでここでは省略する。まず水平方向のドライバーの制御信号としては、シフトレジスタ170に対してCPH、STHが入力され、サンプルホールド回路172(同図(b)に詳細を示す)にRの映像信号が入力され、バッファドライバー173にはOEHが入力される。一方、垂直方向のドライバーの制御信号としては、シフトレジスタ174にCPV、STVが入力され、バッファドライバー176には、OEVが入力される。レベルコンバータ171、175は、TTLレベルの信号を液晶セル制御のレベルに変換するためのものである。サンプルホールド回路172は、同図(b)に示すように単位セルに対応したゲート素子180とホールド素子181からなり、バッファドライバー173は、各単位セルに対応したバッファ素子182により構成されている。



【0036】図7は、画像表示位置補正を行うための各制御信号の働きについて示している。

【0037】まず、液晶セル8000は、画像表示位置補正を行うために、実際に駆動されるセル領域よりも大きいセル領域が用意されている(図6の液晶セル150、図1に示されている液晶セル(111~113)も同様)。

【0038】CPHは、前にも述べたように、水平方向に配置された液晶セルと同数のパルス数になるように制御されており、このCPHを用いて映像をサンプルすることにより表示される画像信号が水平方向に時間圧縮される。

【0039】次に、STHの位相によって映像信号の左右の表示位置が決定され、図4(d)に示すOEHがLOWの期間は液晶セルが駆動し、HIGHの期間は液晶セルが駆動しない制御が行われる。このような動作によって、必要な映像信号期間以外の期間は液晶セルが駆動されず、この部分は光が透過されない。ただし、本実施例の液晶セルは、ノーマリーブラックのものである。

【0040】垂直方向も、CPV、STV、OEVによって水平方向と同様の処理が行われ、駆動される液晶セルが選択される。

【0041】以上の処理によって、駆動される液晶セル領域が選択的に選ばれ、図7に示す駆動される液晶セル領域の上下、左右の位置及び拡大、縮小を自由自在に変化させることができる。同図の(ta)(tb)の期間が等く、(tc)(td)の期間が等しい場合には、図8(a)に示すようにスクリーンへの画像表示位置は投射レンズ520に対して上下、左右均等な位置になり、図7の(ta)の期間が(tb)より長い場合は、図8(b)に示したようにスクリーンへの画像表示位置は投射レンズ520に対して右側にずれ、図7の(ta)の期間が(tb)より短い場合は、図8(c)に示したようにスクリーンへの画像表示位置は投射レンズ520に対して左側にずれる。なお図8の矢印は走査線の走査方向を示し、図7は図8の投射レンズ520側から液晶セルを見た図である。

【0042】垂直方向も同様に、図7の(tc)の期間が(td)より長い場合は、スクリーンへの画像表示位置は投射レンズ520に対して上側にずれ、図7の(tc)の期間が(td)より短い場合は、スクリーンへの画像表示位置は投射レンズ520に対して下側にずれる。

【0043】上記したように、この実施例によれば、上記した信号処理で画像表示位置補正を行うことによって、従来投射レンズを移動させて光軸をずらすことにより行っていた画像表示位置補正と同等の効果を得ることができる。この結果、従来かなりのコストがかかっていた投射レンズ関係のメカ部分を削除することができ、大幅なコストダウンが実現する。液晶プロジェクタが傾い

ていたり位置がずれていた場合は、固定値出力回路の保持値を調整することにより自由に画像位置を補正でき、正常な位置に合わせることができる。

【0044】(画像表示位置補正システム(2))従来、液晶プロジェクター等の画像表示位置の補正は、投射レンズをメカニカルに動かすことにより光学的に行われていた。

【0045】この手法で補正を行えば、メカニカルに投射レンズを動かす必要があり、かなり複雑な機構が必要であった。さらに、この手法で補正を行うためにはレンズをかなり大きくしておく必要があり、コストアップにつながっていた。

【0046】そこでこの実施例では、液晶表示装置の特性を活用してそのドライブ方法を工夫することにより、画像表示位置を安価で簡単に得られるようにしたものである。

【0047】図9はこの実施例におけるディスプレイ8000に接続された映像デコーダ内のディスプレイ補正部を詳しく示すブロック図である。

【0048】映像信号は、2つの入力端子にそれぞれデジタルの輝度信号(Y信号)、色信号(I、Q信号)として入力され、デジタルの輝度信号は、デジタル-アナログ変換器(以下D/A変換器と称す)102によってアナログ信号に変換される。色信号も同様にD/A変換器103によってアナログ信号に変換される。アナログ信号に変換された輝度信号、色信号はマトリックス回路(MTX)104に入力され、R、G、Bの信号に変換され、画像制御回路100に送出され、画像制御回路100からそれぞれに対応するXドライバー(105~107)に送られる。

【0049】同期制御回路101は、システムクロック8fsc、水平同期信号H、垂直同期信号Vが入力され、ディスプレイ8000としての液晶セル(111~113)を駆動するXドライバー(105~107)及びYドライバー(108~110)を制御するための水平スタートパルスSTH、水平クロックパルスCPH、垂直スタートパルスSTV、垂直クロックパルスCPVを作成して出力し、また、画像制御回路100を制御するために、水平アウトプットイネーブル信号OEH、垂直アウトプットイネーブル信号OEVを出力している。同期制御回路101の詳細は、図2で説明した通りである。従って、図3乃至図5で示したタイミングチャートもそのままこの同期制御回路101に当てはまる。また図6で説明したXドライバー及びYドライバーについても全く同じものである。但し、この実施例では、バッファドライバー173、176には、OEH、OEVが入力されない。

【0050】この実施例では同期制御回路101から得られるCPH、STHによって図9に示すXドライバー(105~107)の制御が行われ、OEHによって画

像制御回路100の制御が行われる点が先の実施例と異なる。

【0051】また、同期制御回路101から得られるCPV、STVによって図9に示すYドライバー(108~110)の制御が行われ、OEVによって画像制御回路100の制御が行われる点が先の実施例と異なる。

【0052】画像制御回路100では、OEH、OEVが共にLOWの期間のみMTX104より送られてくる信号を送出し、OEH、OEVのどちらか一方がHIGHの期間は、黒レベルの画像信号を送出するように信号経路が構成されている。

【0053】図10は、画像表示位置補正を行うための前記各制御信号の働きを示している。液晶セルは、画像表示位置補正を行うために、実際の画像信号(画像制御回路100によって黒レベルを送出される期間以外の期間)よりも大きいセルが用意されている。

【0054】CPHは、前にも述べたように、水平方向に配置された液晶セルと同数のパルス数になるように制御されており、このCPHを用いて映像をサンプルすることにより表示される画像信号が水平方向に時間圧縮される。垂直方向も、水平方向とCPV、STVによって同様の処理が行われ、画像信号の表示領域が選択される。そして実際に表示される画像信号期間以外の期間は画像制御回路8100により黒レベルの信号が出力されている。

【0055】以上の処理によって、画像信号期間の上下、左右の位置及び拡大縮小を自由自在に変化させることができ、図10の(ta)(tb)の期間が等く、(tc)(td)の期間が等しい場合には、図8(a)に示すようにスクリーンへの画像表示位置は投射レンズ520に対して上下、左右均等な位置になり、図10の(ta)の期間が(tb)より長い場合は、図8(b)に示したようにスクリーンへの画像表示位置は投射レンズ520に対して右側にずれ、図10の(ta)の期間が(tb)より短い場合は、図8(c)に示したようにスクリーンへの画像表示位置は投射レンズ520に対して左側にずれる。

【0056】垂直方向も同様に、図10の(tc)の期間が(td)より長い場合は、スクリーンへの画像表示位置は投射レンズ520に対して上側にずれ、図10の(tc)の期間が(td)より短い場合は、スクリーンへの画像表示位置は投射レンズ520に対して下側にずれる。

【0057】上記したように、この実施例によれば、上記した信号処理で画像表示位置補正を行うことができ、従来投射レンズを移動させて光軸をずらすことにより行っていた画像表示位置補正と同等の効果を得ることができる。この結果、従来かなりのコストがかかっていた投射レンズ関係のメカ部分を削除することができ、大幅なコストダウンが実現する。

【0058】(ドライブ周波数可変による時間圧縮伸張システム)従来の画像信号時間圧縮伸張回路は、以下に示す2つの手法を用いて行われていた。

【0059】第1番目の手法は、ボッシュの特開昭59-61371号で提案されているような、インターポレーションフィルタとラインメモリを組み合わせて時間圧縮伸張を行うものである。第2番目の手法は、ジメンスの特公平2-16067号またはソニーの特公平2-17867号で提案されているようなラインメモリのみを用いメモリへの書き込みクロックと読み出しクロックの周波数を変えることによって時間圧縮伸張を行うものである。以上の2つの方式は、いずれもラインメモリを必要としそのラインメモリを制御するための回路が複雑になっているためコストがかなりかかっていた。

【0060】そこでこの実施例では、液晶表示装置の特性を活用して、そのドライブ方法を工夫し、簡単に画像信号の時間圧縮伸張を得られるようにしている。

【0061】図11は、この実施例におけるディスプレイ8000が接続された映像デコーダ内のディスプレイ補正部を詳しく示している。

【0062】まず映像信号は、2つの入力端子からそれぞれデジタルの輝度信号(Y信号)、色信号(I、Q信号)として入力され、デジタルの輝度信号は、デジタル-アナログ変換機(以下D/A変換器と称す)102によってアナログ信号に変換される。色信号も同様にD/A変換器103によってアナログ信号に変換される。アナログ信号に変換された輝度信号、色信号はマトリックス回路(MTX)104に入力され、R、G、Bの信号に変換され、画像制御回路100に送出され、画像制御回路100からそれぞれに対応するXドライバー(105~107)に送られる。

【0063】同期制御回路101では、システムクロック(8fsc)、水平同期信号H、垂直同期信号Vが入力され、液晶セル(111~113)を駆動するためのXドライバー(105~107)及びYドライバー(108~110)を制御するための水平スタートパルスSTH、水平クロックパルスCPH、垂直スタートパルスSTV、垂直クロックパルスCPVが作成され、また画像制御回路100を制御するために、水平アウトプットイネーブル信号OEHを作成している。

【0064】図12は、同期制御回路101の詳細を示している。

【0065】まず、CPHパルスを安定して出力するために、位相比較器500、LPF501、VCO502、分周カウンタ503、コンパレータ504、固定値出力回路505によって、フェイズロックドループ(PLL)を形成している。位相比較器500では、外部より約32μsec周期のH信号(図13(a))と図13(b)、(c)に示すコンパレータ504からの1水平期間に1回の位相比較用パルスが入力され、H信号の

ダウンエッジと比較用パルスとの位相が比較され、H信号のダウンエッジよりも比較用パルスの位相が遅れていれば、図13(c)に示すようにプラスの制御電圧が出力され、逆にH信号のダウンエッジよりも、図13

(e)に示すように比較用パルスの位相が進んでいれば、図13(f)に示すようにマイナスの制御電圧が出力される。位相比較器500からの信号(図13(c)及び(f))は、LPF501に入力され、同図(d)及び(g)に示される信号となりVCO502の制御端子に供給される。

【0066】VCO502では、LPF501からの制御電圧がプラス側の場合は出力パルス周波数を高め、制御電圧がマイナスの場合は出力パルス周波数を低くするように回路が動作する。分周カウンタ503では、VCO502から得られるパルスをクロックにしてアップカウント動作が行われ、コンパレータ504にカウンタ出力が供給されている。コンパレータ504では、固定値出力回路505からの固定値と、分周カウンタ503からのカウンタ出力を比較し、その値が一致した場合に、図13(b)及び(e)に示す一致パルス(HIGH信号)を出力する。一致パルスは分周カウンタ503のリセットパルスとして使用されると同時に、位相比較器500では位相比較用パルスとして使用される。従って、一致パルスは1水平走査期間に1回出力されることになる。

【0067】固定値出力回路505は、画像を圧縮する場合は図11に示される液晶セル(111~113)の水平方向の個数より少ない値に設定され、画像を伸張する場合は液晶セル(111~113)の水平方向の個数より多い値に設定されており、固定値出力回路505の値を変更することによって、VCO502から出力されるCPHの周波数が変化する。

【0068】分周カウンタ503のカウント値は、コンパレータ506に供給されるとともにゲート作成回路508に供給されている。コンパレータ506では、分周カウンタ503からのカウンタ値と固定値出力回路507より得られる値を比較し、図11に示したXドライバー(105~107)のSTHを出力している。ゲート作成回路508では、分周カウンタ503からのカウンタ値と固定値出力回路509より得られる(A)、

(B)の値を比較し、図11に示した画像制御回路100のためのOEHを出力している。

【0069】図14は、同期制御回路101の具体的な回路動作を説明するためのタイムチャートである。図14の(a)は、分周カウンタ503のリセット信号を示しており、このリセット信号は図12に示す映像信号Y、I、Q信号の水平ブランキング部に同期している。図14(b)は、分周カウンタ503より得られるカウンタ値と固定値出力回路509より得られる信号(A)を比較して得られる信号で、1水平走査期間に1回のみ

出力される信号である。図14(c)は、分周カウンタ503より得られるカウンタ値と前記固定値出力回路509より得られる信号(B)を比較し得られる信号で、1水平走査期間に1回のみ出力される信号である。固定値出力回路509より得られる信号(A)(B)は、画像を圧縮する場合には(A)-(B)の値が図11に示される液晶セル(111~113)の水平方向の個数より少ない値に設定され、画像を伸張する場合は、図11に示される液晶セル(111~113)の水平方向の個数より多い値に設定されている。図14(d)は、同図(c)の信号をセット、同図(b)の信号をリセット信号とするRSフリップフロップ回路(図面なし)によって得られ、画像を圧縮する場合は図11、図12に示すOEHとなり、画像を伸張する場合にはOEHは常にLOWになるように設定されている。さらにOEHは、セクタ510にも供給され、画像を圧縮する場合には図14(f)に示すようにOEHがLOWの期間はVCO502の出力を選択し、HIGHの期間は外部から与えられるVCO502の出力信号の周波数よりも高い信号を選択し、セクタ510より図14(f)に示すCPHとして出力される。ただし、画像を圧縮する場合にはCPHのパルスの数は、図11に示されている液晶セル

(111~113)の水平方向の数と一致している。画像を伸張する場合にはOEHは常にLOWとなるためCPHとして出力される信号は常にVCO502から与えられる信号となる。従って、画像を圧縮する場合にはCPHのパルスの数は図11に示されている液晶セル(111~113)の水平方向の数よりも多くなる。図14(e)は、分周カウンタ503より得られるカウンタ値と前記固定値出力回路507より得られる信号を比較し得られる信号で、1水平走査期間に1回のみ出力される信号で、この信号が図11、図12に示すSTHとなる。

【0070】以上のようにして得られるCPH、STHによって図11に示すXドライバー(105~107)の制御が行われ、OEHによって図11に示す画像制御回路8100の制御が行われる。

【0071】次に、垂直方向の画面制御信号作成について述べる。

【0072】図12に示す微分回路511には、図14(g)に示される外部からの垂直同期信号Vが与えられ、図14(b)、(e)に示されるようなコンパレータ504の出力によってVの信号が微分され、図14(h)に示すように1垂直走査期間に1水平走査期間のみHIGHとなる微分信号となる。この微分回路511の出力はカウンタ512に入力される。カウンタ512では、コンパレータ504の出力によってカウントアップが行われ、微分回路511より得られる信号によってリセットがかけられる。図14(i)は、カウンタ512より得られるカウンタ値と固定値出力回路513より得

られる信号を比較し得られる信号で、1垂直走査期間に1回のみ出力される信号で、この信号が図11、図12に示すSTVとなる。

【0073】以上のようにして得られるCPV、STVによって図11に示すYドライバー(108~110)の制御が行わる。

【0074】図15はXドライバー(105~107)、Yドライバー(108~110)の具体的構成を示している。この構成は、図6で説明したものと同等であるが、バッファドライバー173と、176のそれぞれにはOE<sub>H</sub>、OE<sub>V</sub>が供給されていない。

【0075】図15に示す回路は、図11に示されているR、G、Bのパネルのうち、R信号用の液晶セルについて示したもので、G信号、B信号についても同等の処理を有しているのでここでは省略する。まず水平方向のドライバーの制御信号としては、シフトレジスタ170に図12に示すCPH、STHが入力され、サンプルホールド回路172にRの映像信号が入力される。一方、垂直方向のドライバーの制御信号としては、図15に示すシフトレジスタ174に図12に示すCPV、STVが入力される。レベルコンバータ171、175は、TTLレベルの信号を液晶セル制御のレベルに変換するためのものである。

【0076】図11に示す画像制御回路100では、前記OE<sub>H</sub>がLOWの期間のみMTX104より送られてくる信号を送出し、OE<sub>H</sub>がHIGHの期間は、黒レベルの画像信号を送出する。

【0077】図16は、画像を圧縮する場合の各制御信号の働きに説明するための図である。まず、液晶セルは、画像の時間圧縮伸張を行わない場合に( $\alpha$ )と

( $\beta$ )の比が16:9の画面が形成できるように配置されている(図11の液晶セル(111~113)も同様)。画像を圧縮する場合、CPHは、水平方向に配置された液晶セルと同数のパルス数になるように制御されており、このCPH信号を用いて映像をサンプルし表示させる。垂直方向は、STVによって画像信号の表示位置が決定され、CPVによって1水平ライン分のセルが同時に駆動される。次に、画像を伸張する場合には、図17に示すように、画像信号は液晶セル全体を駆動し、前にも述べたように1水平期間のCPHパルス数を水平方向の液晶セルの数よりも多くしているため、STHによって1水平画像信号期間中のどの期間を画面に表示するかを決定している。

【0078】さらに、垂直方向に画像圧縮伸張を行う場合には、図11のD/A変換器102、103の手前にフレームメモリ(図面なし)を配置し、画像信号を垂直方向に読み出し、さらに、前記水平方向の画像圧縮伸張を行う場合に対し、液晶セルを90度回転させて使用することにより実現できる。

【0079】以上説明したようにこの実施例によると上

記信号処理を行うことによって、ラインメモリを用いずに画像信号の時間圧縮伸張を行うことが可能となり、大幅なコストダウンが実現する。

【0080】(LCD応答速度改善ドライバーシステム)従来LCDの応答速度を改善する手法として、画像信号の1フレーム前の信号と現信号を比較してそのレベル差がある一定値より大きい場合にはそのレベル差よりもさらに大きい値をLCDに与え、応答速度を改善していた。しかし、この手法を用いるためには画像信号を1フレーム分保持するためのメモリ回路が必要であり、コストアップにつながっていた。

【0081】そこでこの実施例では、液晶表示装置の特性を活用して、液晶セル自体をフレームメモリ(遅延手段)として見なし、画像信号の1フレーム分の時間調整を得ることにより簡単に応答速度を改善するようにしている。

【0082】図18は、その実施例を示している。

【0083】まず画像信号は、2つの入力端子からそれぞれデジタルの輝度信号(Y信号)、色信号(I、Q信号)として入力され、デジタルの輝度信号は、デジタルアナログ変換器(以下D/A変換器と称す)102によってアナログ信号に変換される。色信号も同様にD/A変換器103によってアナログ信号に変換される。アナログ信号に変換された輝度信号、色信号はマトリックス回路(MTX)104に入力され、R、G、Bの信号に変換され、電圧制御回路(300~8302)に送出され、電圧制御回路(300~8302)からそれぞれに対応するXドライバー(105~107)に送られる。

【0084】同期制御回路200には、システムクロック8fsc、水平同期信号H、垂直同期信号Vが入力され、ディスプレイ8000としての液晶セル(111~113)を駆動するためのXドライバー(105~107)及びYドライバー(108~110)を制御するための水平スタートパルスSTH1、STH2、水平クロックパルスCPH、垂直スタートパルスSTV、垂直クロックパルスCPVを作成している。

【0085】図19は、同期制御回路200の詳細を示している。微分回路600には、図20(a)に示される外部からの水平同期信号Hが与えられ、8fscの信号によってHの信号が微分され、図20(b)に示すように1水平走査期間に1回のみHIGHとなる信号が得られる。この信号はカウンタ601に供給される。カウンタ601では、8fscの信号によってカウントアップが行われ、微分回路600からの信号でリセットがかけられる。図20(c)は、カウンタ601からのカウンタ値と固定値出力回路602からの信号を比較し得られる信号で、1水平走査期間に1回のみ出力される信号で、この信号が図18、図19に示すSTH2となる。コンパレータ603から得られる信号は、さらにラッチ回路608に入力され、ラッチ回路608において8f

scによってラッチされSTH2よりも約35nsec遅れたSTH1となり出力される。図19に示す8fsc信号は、図18に示すCPHとして出力される。

【0086】以上のようにして得られるCPH、STH1によって図18に示すXドライバー（105～107）の制御が行われ、CPH、STH2によってXレシーバー（8204～8206）の制御が行われる。Xレシーバー（8204～8206）は、液晶セル（111～113）の出力が入力される回路である。

【0087】次に、垂直方向の画面制御信号作成について述べる。

【0088】図19の微分回路604には、図20(e)に示される外部から垂直同期信号Vが与えられ、微分回路600から得られる1水平走査期間に1回HIGHとなる信号によってVの信号が微分され、図20(f)に示す1垂直走査期間に1水平走査期間のみHIGHとなる信号となる。カウンタ605では、微分回路600から得られる1水平走査期間に1回HIGHとなる信号によってカウントアップが行われ、微分回路604より得られる信号によってリセットがかけられる。図20(g)は、カウンタ605より得られるカウンタ値と固定値出力回路606からの信号を比較し得られる信号で、1垂直走査期間に1回のみ出力される。この信号は図18に示すSTVとなる。

【0089】以上のようにして得られるCPV、STVによって図18に示すYドライバー（108～110）の制御が行われる。

【0090】図21は、Xドライバー（105～107）、Xレシーバー（8204～8206）、Yドライバー（108～110）の制御について、さらに具体的に説明するための図である。この回路は、図18に示されているR、G、Bのパネルのうち、R信号用の液晶セルについて示したもので、G信号、B信号についても同等の処理を有しているのでここでは省略する。まず水平方向のXドライバー（105～107）の制御信号としては、シフトレジスタ170に図19に示したCPH、STH1が入力され、サンプルホールド回路172にRの映像信号が入力される。水平方向のXレシーバー（8204～8206）の制御信号としては、シフトレジスタ622に図19に示すCPH、STH2が入力され、サンプルホールド回路620に1フレームー1クロック前の電圧値が保持される。サンプルホールド回路620に保持された電圧値は遅延回路623で遅延され、1フレーム前の電圧値として出力され、電圧補正回路624によって液晶セルにおいてリークされた電位分を補正して図18に示す電圧制御回路（300～8302）に送出される。図21の例では電圧制御回路300となる。

【0091】一方、垂直方向のドライバーの制御信号としては、シフトレジスタ174に図19に示したCPV、STVが入力される。レベルコンバータ171、1

75、621は、TTLレベルの信号を液晶セル制御のレベルに変換するためのものである。

【0092】図22は、上記の回路によりLCDの応答速度の改善動作を説明するための図である。通常、液晶セルに与える電圧は液晶セルがノーマルブラックの場合、黒レベル（画像信号が最低レベル）は-5V、白レベル（画像信号が最高レベル）は5V、グレーレベル（画像信号が中間レベル）は0Vと規定すると、図22(a)に示すような黒レベルから次のフレームで白レベルに変化する画像信号に対応して与えられる電圧は、同図(b)に示すように黒レベル-5V、白レベル5Vが与えられるが、それに対応したLCDの応答は同図(c)に示されているように2から3フレームかかってようやく完全な応答が完了するぐらい遅い。このような応答速度で画像をスクリーン上に投影すると動いた画像は尾を引いたようなボケ感の目立つものとなってしまう。そこで、現信号と液晶セルに保持された1フレーム前の信号のレベルを電圧制御回路（300～8302）で比較し、レベル差が規定値以上ある場合には、そのレベル差に係数をかけて入力信号にたしこむことによって図22(d)に示すような電圧制御を行う。このように電圧制御すると、同図(e)に示すようにLCDの応答速度を改善することができ、対策前のように動きのある画像で出ていたボケ感をなくすることができる。

【0093】以下に電圧制御の計算式(15)を示す。

【0094】

$$O_v = I_v + (I_v - I_v') * k \quad \dots (15)$$

$O_v$  : 電圧制御回路（300～302）の出力

$I_v$  : MTX104の出力信号

$I_v'$  : Xレシーバー（204～206）の出力

$k$  : 係数（ $0 \leq k \leq 1$ ）

上記したようにこの実施例によると、上記信号処理を行うことによって、従来LCDの応答速度を改善し、動きのある画像に対しても破綻の生じない画像をスクリーン上に投影することができる。

【0095】（マルチパネルLCDドライブシステム）従来のLCDテレビジョンをマルチパネル化する場合、同一のLCDテレビジョンを複数台並べ、複雑でかつスピードの速いドライブ回路を必要としている。この実施例では、簡単な構成でかつ従来のごとく高速のドライブ回路を必要とせずマルチパネル化を実現することができるシステムを実現するものである。

【0096】図23はその実施例を示している。

【0097】画像信号は、2つの入力端子からそれぞれデジタルの輝度信号（Y信号）、色信号（I、Q信号）として入力され、それぞれラインメモリ400、401に入力される。ラインメモリ400、401では入力されたデジタル画像信号が、同期制御回路8402から出力されているライトクロック（WC）とリードクロック（RC）によって制御され、後に詳しく説明するように

輝度信号Y1～Y4、色信号I1～I4、Q1～Q4信号を出力している。

【0098】ラインメモリ400から得られる画像信号は、デジタル－アナログ変換器（以下D/A変換器と称す）102によってアナログ信号に変換される。ラインメモリ401から得られる色信号も同様にD/A変換器103によってアナログ信号に変換される。アナログ信号に変換された輝度信号、色信号はマトリックス回路（MTX）104に入力され、R、G、Bの信号に変換され、それぞれに対応するXドライバー（105～107）に送られる。

【0099】同期制御回路402では、システムクロック8fsc、水平同期信号H、垂直同期信号Vが入力され、ディスプレイ8000としての液晶セル（111～113）を駆動するためのXドライバー（105～107）及びYドライバー（108～110）を制御するための水平スタートパルス（STH）、水平クロックパルス（CPH）、垂直スタートパルス（STV）、垂直クロックパルス（CPV）が作成されている。

【0100】図24は、同期制御回路402の詳細を示している。

【0101】微分回路600には、図25（a）に示される外部からの水平同期信号Hが与えられ、8fscの信号によってHの信号が微分され、図25（b）に示す1水平走査期間に1回のみHIGHとなる信号を出力する。この信号はカウンタ601に供給される。カウンタ601では、8fscの信号によってカウントアップが行われ、また微分回路600からの信号によってリセットがかけられる。図25（c）は、カウンタ601からのカウンタ値と固定値出力回路602からの信号をコンパレータ603にて比較して得られる信号で、1水平走査期間に1回のみ出力される信号で、この信号が図23に示すSTHとなる。

【0102】図23に示す8fscの信号は、CPHとして利用され、またラインメモリ400、401のラインクロック（WC）として利用されている。

【0103】以上のようにして得られるCPH、STHによって図23に示すXドライバー（105～107）の制御が行われる。図23に示すラインメモリ400、401のリードリセット信号（RC）は、図24のセレクト回路609によって、マルチ画面の構成に合わせて、1画面構成の場合は8fscが選択され、4画面構成の場合はカウンタ601のLSB出力が選択され、16画面構成の場合はカウンタ601の2nd LSB出力が選択される。

【0104】次に、垂直方向の画面制御信号作成について述べる。

【0105】図24の微分回路604には、図25（d）に示される外部からの垂直同期信号Vが与えられ、微分回路600から得られる図25（b）に示す1

水平走査期間に1回HIGHとなる信号によってVの信号が微分され、1垂直走査期間に1水平走査期間のみHIGHとなる信号となる。この信号はカウンタ605に入力される。カウンタ605では、微分回路600からの1水平走査期間に1回HIGHとなる信号によってカウントアップが行われ、微分回路604より得られる信号によってリセットがかけられる。図25（f）は、カウンタ605からのカウンタ値と固定値出力回路606からの信号をコンパレータ607により比較し得られる信号で、1垂直走査期間に1回のみ出力される。この信号は図23に示すSTVとなる。CPVは、セレクト回路610によって、マルチ画面の構成が1画面で構成される場合には微分回路600の出力が選択され、4画面構成の場合にはオア回路617の出力が選択され、16画面構成の場合にはオア回路618の出力が選択される。オア回路617は、8fscと、微分回路600の出力をラッチ回路611、612に通した出力との論理和をとっている。またオア回路618は、微分回路600の出力をラッチ回路611～614に通した出力と、微分回路600の出力をラッチ回路611～616に通した出力と、オア回路617との論理和をとっている。各ラッチ回路は8fscにより駆動されている。

【0106】オア回路617からの出力信号は、1水平走査期間のHのブランキング期間に2つのパルスとして出力され、図23に示されるXドライバー（105～107）にホールドされる信号がYドライバー（108～110）によって2ライン同時にドライブされる。オア回路618からの出力信号は、1水平走査期間のHのブランキング期間に4つのパルスとして出力され、図23に示されるXドライバー（105～107）にホールドされる信号がYドライバー（108～110）によって4ライン同時にドライブされる。

【0107】OEコントロール回路619では、OE1～OE4の信号レベルをコントロールしており、マルチ画面の構成が1画面構成の場合は常にLOWとなり、4画面構成の場合はOE1とOE2が図26（a）、（b）に示すように制御され、16画面構成の場合はOE1からOE4が図26（c）（d）（e）（f）に示すように制御される。

【0108】以上のようにして得られるCPV、STV、OE1～OE4によって図23に示すYドライバー（108～110）の制御が行われる。

【0109】図27は、Xドライバー（105～107）、Yドライバー（108～110）の制御を示す図である。この回路は図23に示されているR、G、Bのパネルのうち、R信号用の液晶セルについて示したもので、G信号、B信号についても同等の処理を有している。ここでここでは省略する。まず水平方向のドライバー（105～107）の制御信号としては、シフトレジスタ170に図24に示すCPH、STHが入力され、サンパ

ルホールド回路172にRの映像信号が入力される。

【0110】一方、垂直方向のドライバーの制御信号としては、シフトレジスタ174に図24に示すCPV、STVが入力され、バッファドライバー176にはOE、V1が入力される。レベルコンバータ171、175は、TTLレベルの信号を液晶セル制御のレベルに変換するためのものである。

【0111】次に、ラインメモリ400、401の制御について詳しく述べる。

【0112】図28に示すようにラインメモリ400、401は、4つの出力ポートをもっており、マルチ画面の構成が4画面の場合は、リードクロックに合わせて1水平走査期間を2つのパートに分けてデータを出力することが可能で、マルチ画面の構成が16画面の場合は、リードクロックに合わせて1水平走査期間を4つのパートに分けてデータを出力することが可能になっている。以上のように各信号をマルチ画面の数に合わせて制御することにより、マルチ画面を構成するLCDTVを全て同じものにすることができる。

【0113】上記したようにこの実施例によると、上述した信号処理を行うことによって、従来のようにXドライバーを複雑かつハイスピードに駆動することがなくなり、Xドライバーの構成が大幅に単純化され、低スピードで動かすことが可能となる。

【0114】なおこの発明は上記の図面に示した実施例に限定されるものではなく、各図に示した液晶セルを駆動する手段を組み合わせた複合構成のものであってもよい。

【0115】

【発明の効果】以上説明したようにこの発明によれば、液晶表示部に対して画像表示位置を安価な手段により自由に位置調整できる。また液晶ディスプレイの応答速度を早めるために液晶ディスプレイをフレームメモリと見なして入力信号とディスプレイの出力との演算処理を行い新たな入力信号を作成することができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す図。

【図2】図1の同期制御回路の具体的構成例を示す図。

【図3】図1の回路の動作を説明するために示したタイミング図。

【図4】図1の回路の動作を説明するために示したタイミング図。

【図5】図1の回路の動作を説明するために示したタイミング図。

【図6】ディスプレイ補正部のX、Yドライバーを示す図。

【図7】ディスプレイ補正部の動作と表示画面の説明図。

【図8】ディスプレイ補正部の効果を説明するために示した説明図。

【図9】この発明に係わるディスプレイ補正部の他の実施例を示す図。

【図10】図9のディスプレイ補正部を説明するために示した説明図。

【図11】ディスプレイ補正部のさらにまた他の実施例を示す図。

【図12】図11の同期制御回路の具体的構成例を示す図。

【図13】図11の回路の動作を説明するために示したタイミング図。

【図14】図11の回路の動作を説明するために示したタイミング図。

【図15】図11のX、Yドライバーを示す図。

【図16】図11のディスプレイ補正部の動作と表示画面の説明図。

【図17】図11のディスプレイ補正部の動作と表示画面の説明図。

【図18】ディスプレイ補正部のさらに他の実施例を示す図。

【図19】図18の同期制御回路の具体的構成例を示す図。

【図20】図18の回路の動作を説明するために示したタイミング図。

【図21】図18のディスプレイ補正部のXドライバーとYドライバーを示す図。

【図22】図18のディスプレイ補正部の効果を説明するために示した説明図。

【図23】ディスプレイ補正部のさらにまた他の実施例を示す図。

【図24】図23の同期制御回路の具体的構成例を示す図。

【図25】図23の回路の動作を説明するために示したタイミング図。

【図26】図23の回路の動作を説明するために示したタイミング図。

【図27】図23のディスプレイ補正部のX、Yドライバーを示す図。

【図28】図23のディスプレイ補正部の動作を説明するために示した説明図。

【符号の説明】

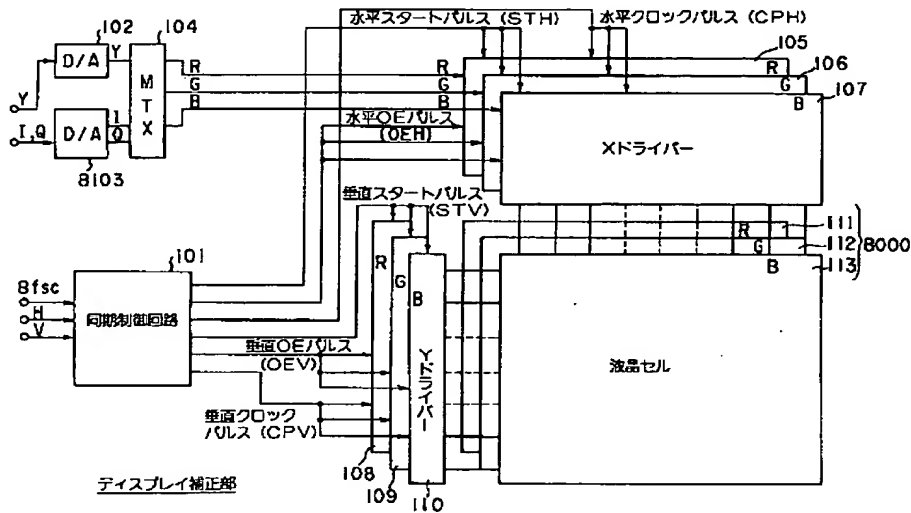
101…同期制御回路、102、103…デジタルアナログ(D/A)変換器、104…マトリックス回路、105～107…Xドライバー、108～110…Yドライバー、111～113…液晶セル、500…位相比較器、501…LPF、502…電圧制御発振器(VCO)、503…分周カウンタ、504、506、514…コンパレータ、505、507、509、513、516…固定値出力回路、508、515…ゲート作成回路、511…微分回路、512…カウンタ、510、517…セレクタ、170…シフトレジスタ、171…レ



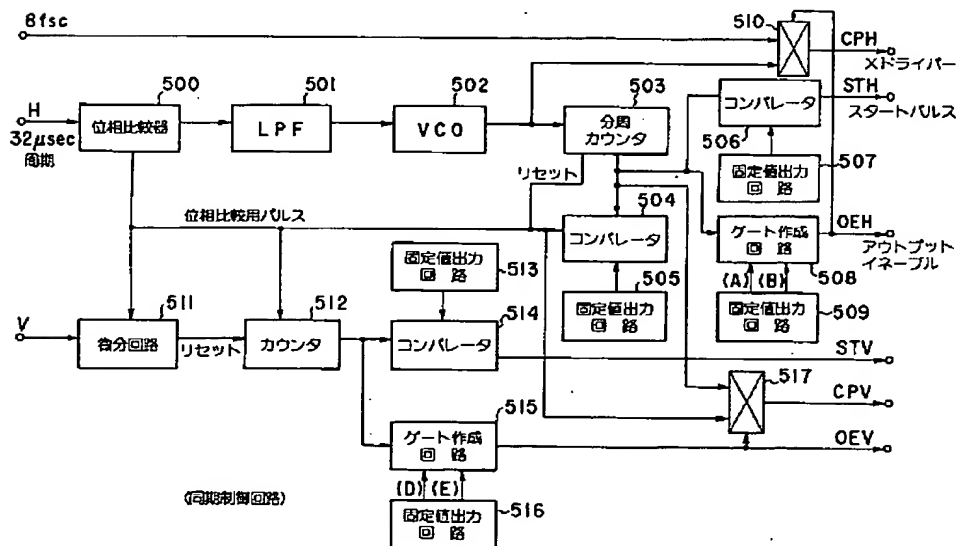
ベルコンバータ、172…サンプルホールド回路、173…バッファドライバ、174…シフトレジスタ、175…レベルコンバータ、176…バッファドライバ、180…ゲート素子、181…ホールド素子、182…バッファ素子、520…投射レンズ、100…画像制御回路、300、301、302…電圧制御回路、200…同期制御回路、204～205…Xレシーバ、

600、604…微分回路、601、605…カウンタ、602、606…固定値出力回路、603、607…コンパレータ、608…ラッチ回路、620…サンプルホールド回路、621…レベルコンバータ、622…シフトレジスタ、400、401…ラインメモリ、402…同期制御回路、611～616…ラッチ回路、618…オア回路、610…セクタ。

【図1】

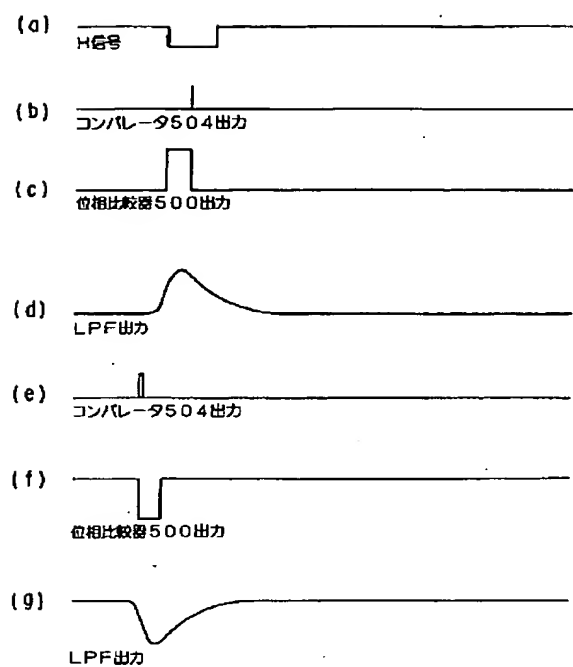


【図2】

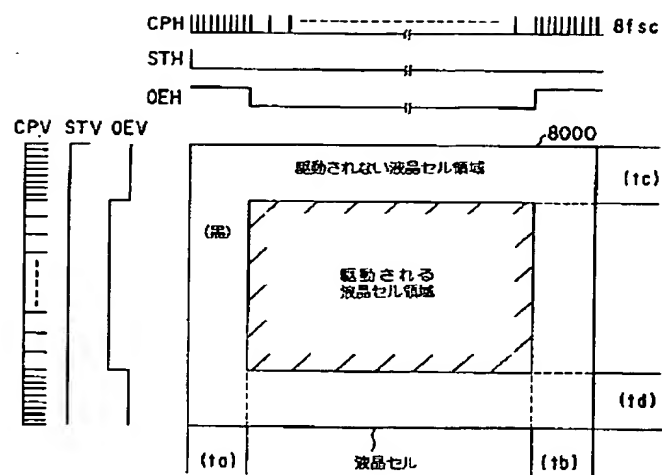




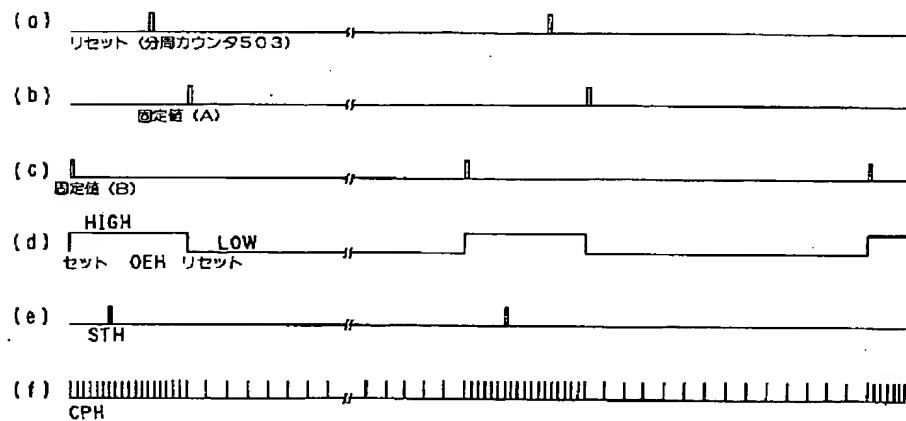
【図3】



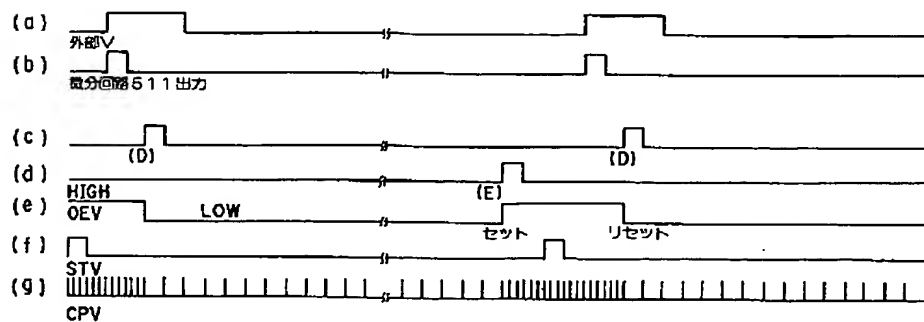
【図7】



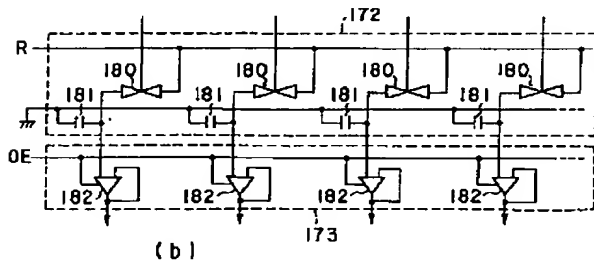
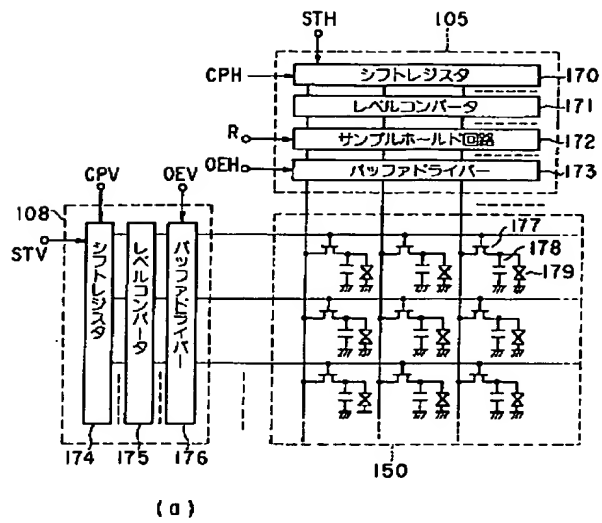
【図4】



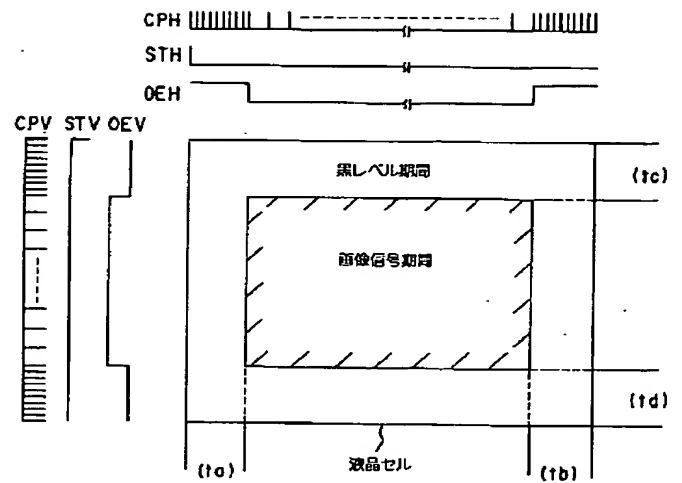
【図5】



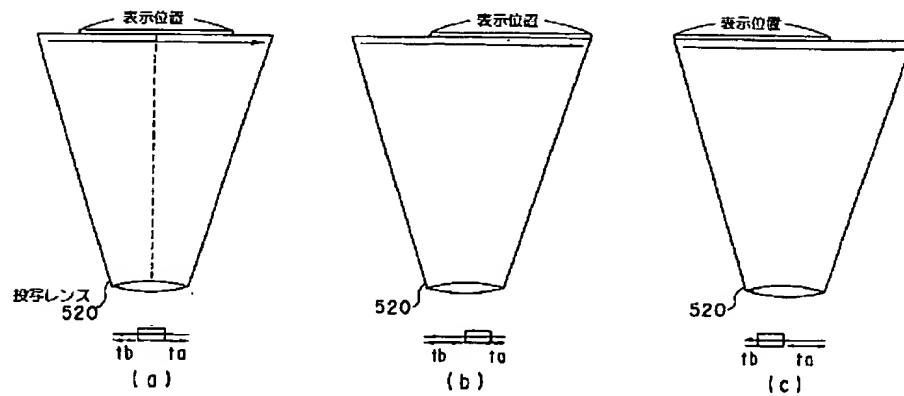
【図6】



【図10】



【図8】



[illegible]

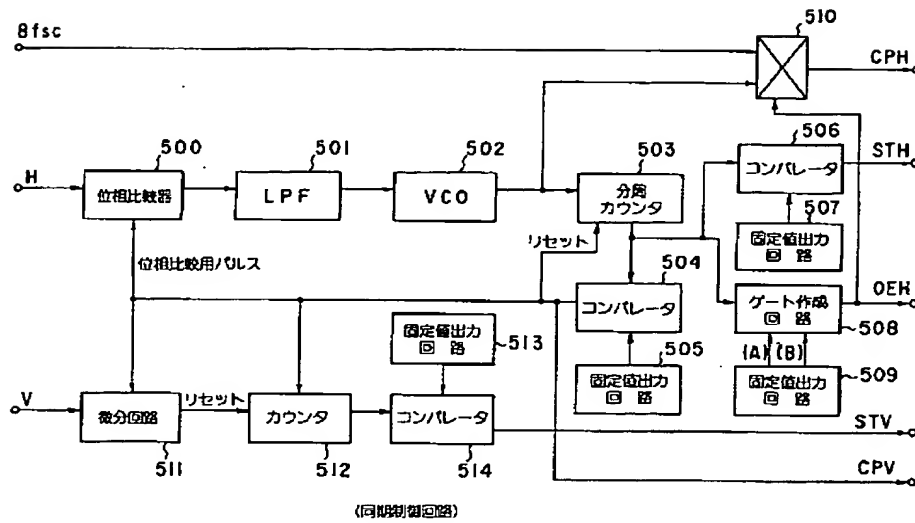
Figure 1 is a block diagram of a color display system. The diagram shows the signal flow from input Y and I, Q signals through various processing blocks (101, 102, 103, 104, 100) to the X and Y drivers (105, 106) and the liquid crystal cell (108, 109, 110). Key signals include horizontal start pulse (STH), horizontal clock pulse (CPH), horizontal output enable signal, vertical start pulse (STV), and vertical clock pulse (CPV). The liquid crystal cell is driven by 8000 lines of data (111, 112, 113) and a common line (108).

(a) 約16.6 msec

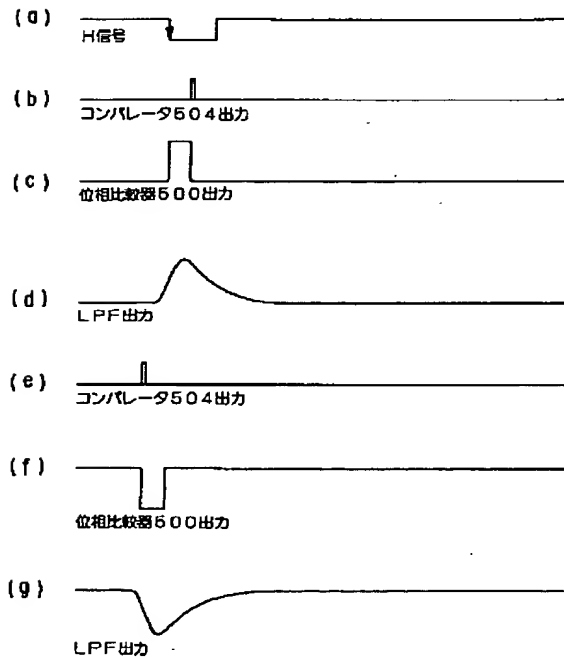
(b)

(c)

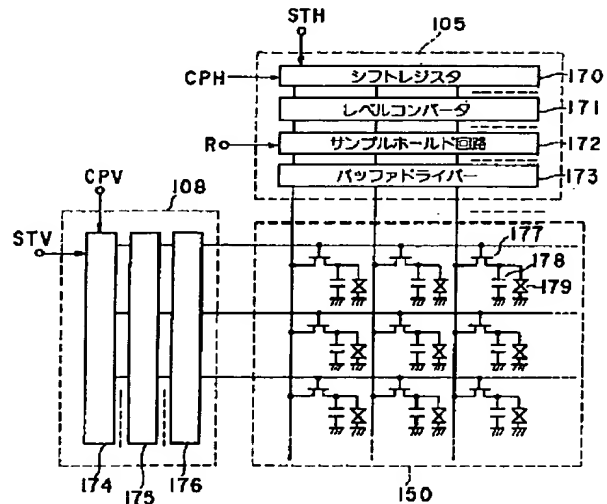
【図12】



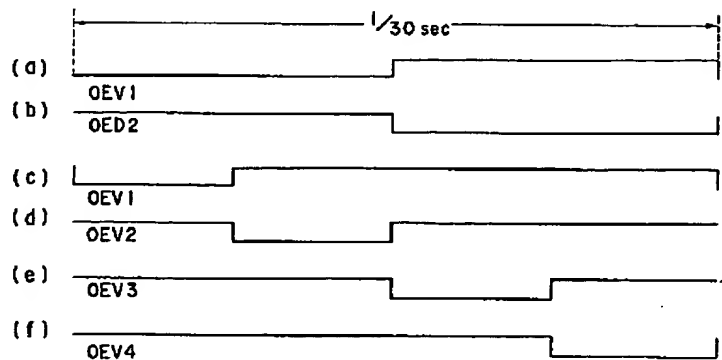
【図13】



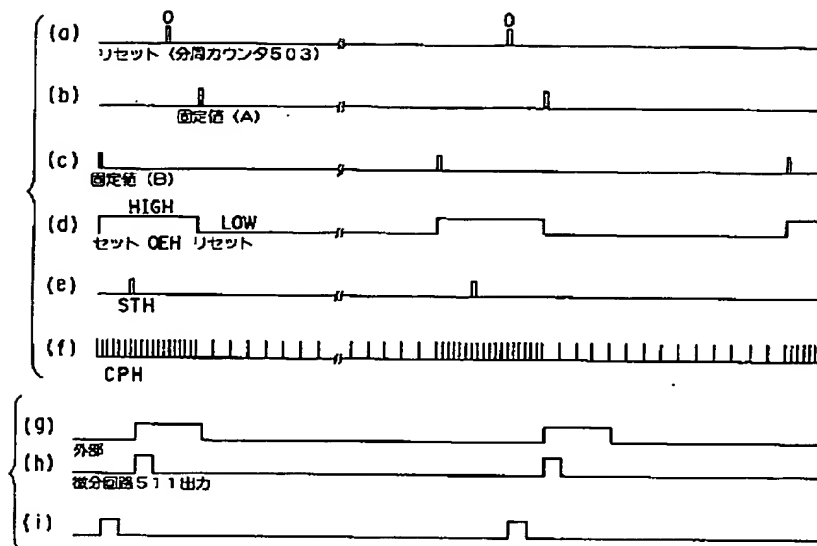
【図15】



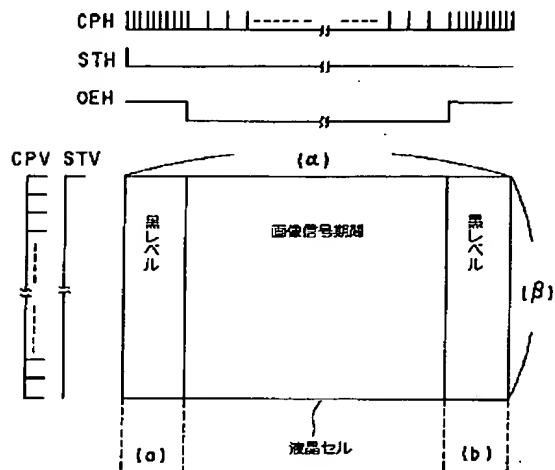
【図26】



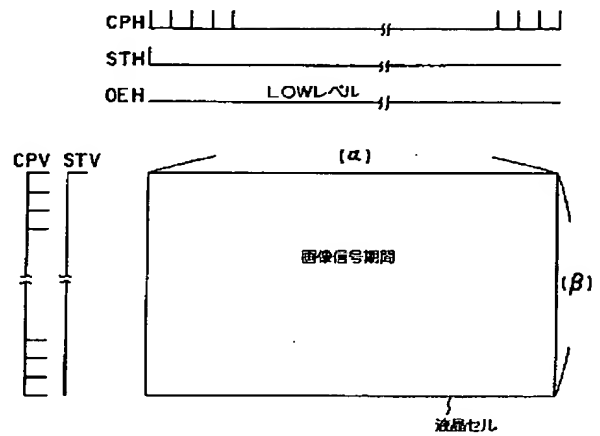
【図14】



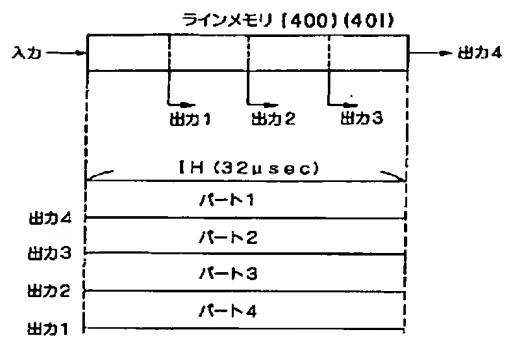
【図16】



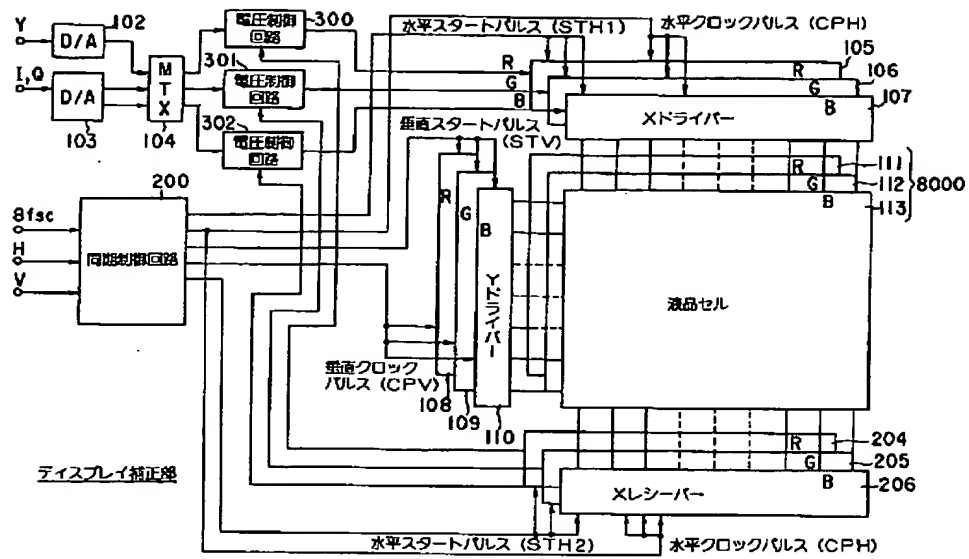
【図17】



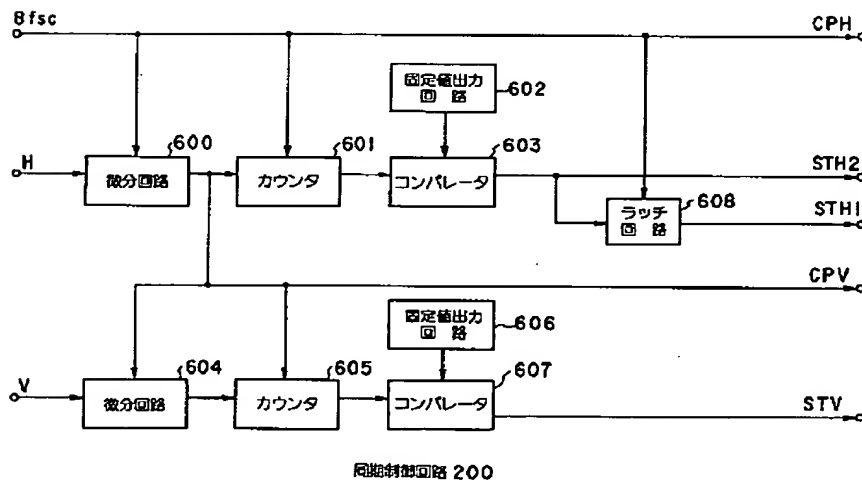
【図28】



【図18】



【図19】



(a) 外部水平同期信号H

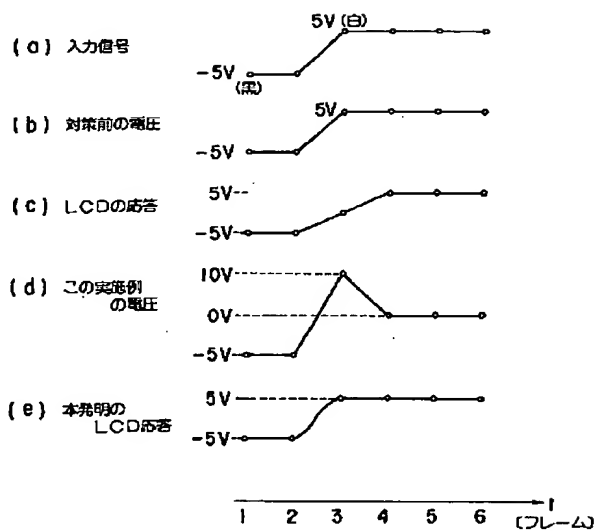
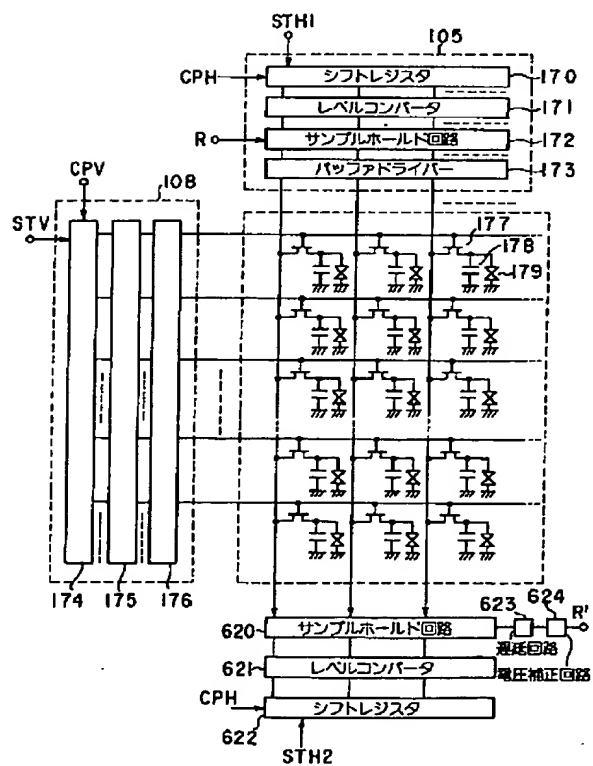
約32μsec

(b)

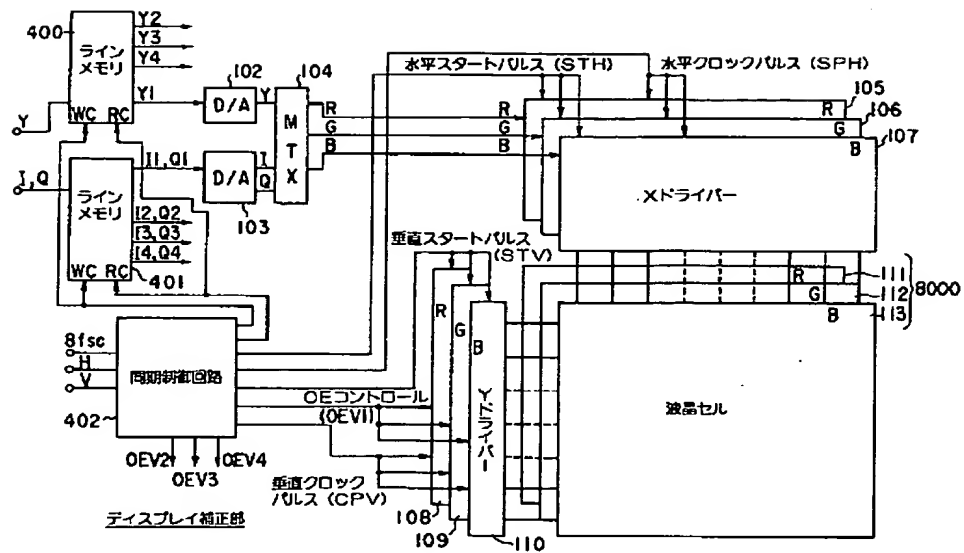
(c)

(d)

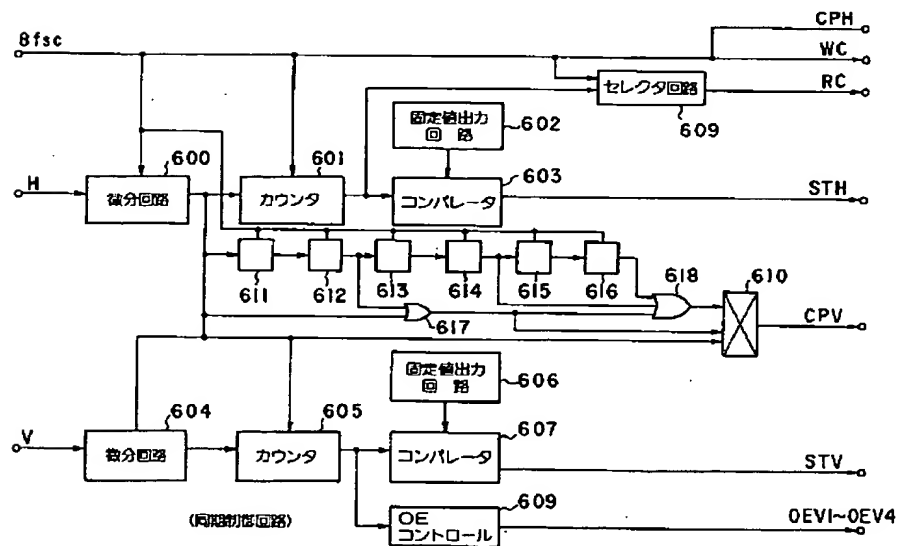
【图 2 2】



【図23】

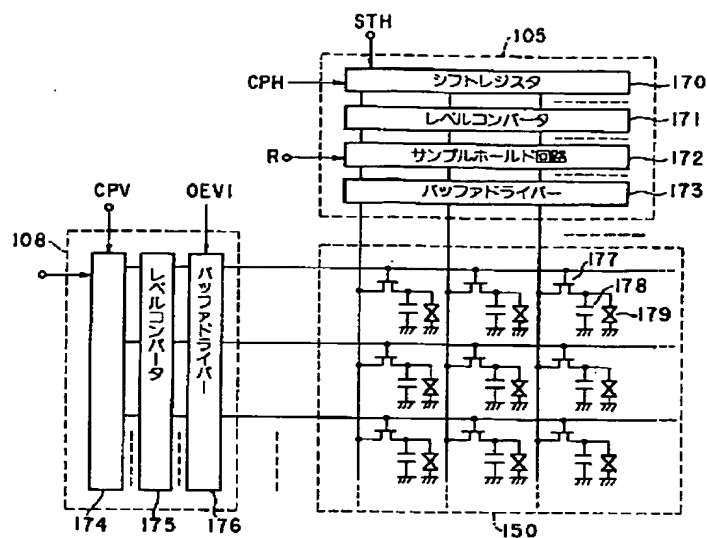


【図24】





【図 27】



フロントページの続き

(72)発明者 石井 聡之  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 安木 成次郎  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 坂本 典哉  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 小川 佳彦  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 廣田 敦志  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 野口 幸一  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所家電技術研究所内

(72)発明者 佐藤 耕一  
東京都港区新橋 3 丁目 3 番 9 号 東芝エ  
ー・ブイ・イー株式会社内